



Docket No.: 60188-769

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Hidetoshi ISHIDA, et al.	:	Confirmation Number: 6309
	:	
Serial No.: 10/768,040	:	Group Art Unit:
	:	
Filed: February 02, 2004	:	Examiner: Unknown
	:	
For: FIELD-EFFECT TRANSISTOR, AND INTEGRATED CIRCUIT DEVICE AND SWITCHING CIRCUIT USING THE SAME		

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

**Japanese Patent Application No. 2003-032038, filed February 10, 2003**

A copy of the priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
Date: May 17, 2004

66188-705  
ISHIDA, et al.  
February 2, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 1 0 日  
Date of Application:

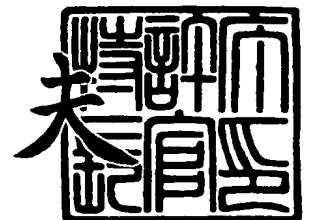
出 願 番 号                      特 願 2 0 0 3 - 0 3 2 0 3 8  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 3 2 0 3 8 ]

出      願      人                      松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 4 年    1 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 3 1 8 6

【書類名】 特許願

【整理番号】 2925040087

【提出日】 平成15年 2月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/205  
H01L 29/201

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 石田 秀俊

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 田中 毅

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果型トランジスタ

【特許請求の範囲】

【請求項 1】 キャリアが走行する第 1 の化合物半導体層と、  
前記第 1 の化合物半導体層の上に形成され、前記第 1 の化合物半導体層にキャリアを供給する第 2 の化合物半導体層と、  
前記第 2 の化合物半導体層の上に形成され、自然超格子が破壊されたリン化インジウムガリウムからなる第 3 の化合物半導体層と、  
前記第 3 の化合物半導体層の上に形成され、前記第 3 の化合物半導体層とショットキー接合するゲート電極とを備え、  
前記第 3 の化合物半導体層の膜厚を所定の値以下に設定することにより、前記第 3 の化合物半導体層を形成しない場合と比べて、前記ゲート電極の耐圧が大きくされていることを特徴とする電界効果型トランジスタ。

【請求項 2】 前記第 3 の化合物半導体層の膜厚は 8 nm 以下であることを特徴とする請求項 1 に記載の電界効果型トランジスタ。

【請求項 3】 前記第 2 の化合物半導体層はヒ化アルミニウムガリウムからなることを特徴とする請求項 1 又は 2 に記載の電界効果型トランジスタ。

【請求項 4】 前記第 3 の化合物半導体層の上に前記ゲート電極を覆うように形成された低誘電率材料からなる保護膜をさらに備えていることを特徴とする請求項 1～3 のうちのいずれか 1 項に記載の電界効果型トランジスタ。

【請求項 5】 前記低誘電率材料はベンゾシクロブテンであることを特徴とする請求項 4 に記載の電界効果型トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果型トランジスタに関し、特に高周波通信機器に使用される電界効果型トランジスタに関する。

【0002】

【従来の技術】

携帯電話に代表される高周波通信機器において、アンドープのチャネル層の上に、 $n$ 型不純物を変調ドーピングした電子供給層を用いた変調ドーピング型電界効果トランジスタ (MODFET: Modulation Doped Field Effect Transistor) が広く用いられている。

#### 【0003】

従来より、MODFETのチャネル層には電子移動度が大きいヒ化インジウムガリウム ( $\text{InGaAs}$ ) が用いられ、電子供給層には  $\text{InGaAs}$  よりもバンドギャップが大きい材料であるヒ化アルミニウムガリウム ( $\text{AlGaAs}$ ) が用いられている。

#### 【0004】

しかし、 $\text{AlGaAs}$  は界面準位密度が大きい材料であるため、界面準位に電子がトラップされてMODFETの電流密度の増大が困難となる。具体的には、電子供給層の表面における界面準位は、電子を捕捉して表面に保持するトラップとして働き、このトラップに捕捉された電子がチャネル領域の空乏層を狭窄する。このため、高周波信号をゲートに印加した際の最大電流密度が、直流を印加した場合と比べて大幅に減少するという、いわゆるドレイン電流の周波数分散が生じてしまう。

#### 【0005】

このような問題に対して、電子供給層を構成する材料に、 $\text{AlGaAs}$  に換えてリン化インジウムガリウム ( $\text{InGaP}$ ) を用いることにより、電子供給層に生じるトラップを低減し、電界効果型トランジスタの電流密度の増大が可能である (例えば、特許文献1参照)。

#### 【0006】

図4は、電子供給層に  $\text{InGaP}$  を用いる従来のMODFET断面構成を示している。図4に示すように、 $\text{GaAs}$  からなる化合物半導体基板101の上には、アンドープの  $\text{GaAs}$  からなるバッファ層102と、 $n$ 型不純物がドーピングされた  $\text{AlGaAs}$  からなるバリア層103と、アンドープの  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  からなるチャネル層104と、 $n$ 型不純物を変調ドーピングされた  $\text{InGaP}$  からなる電子供給層105と、該電子供給層105を露出する開口部が形成され、且つ  $n$ 型

不純物がドーピングされたGaAsからなるキャップ層107とが順次積層されている。キャップ層107の開口部に露出した電子供給層105の上には、ショットキー接合によりゲート電極108が形成されている。またキャップ層107上には、ソース電極109及びドレイン電極110が形成されている。

#### 【0007】

InGaPは、AlGaAsと比べて界面準位密度が小さい材料であるため、キャップ層107の開口部に露出した電子供給層105の界面準位を低減することができ、高周波信号印加時の最大電流密度を向上することができる。

#### 【0008】

ここで、従来のMODFETにおいて、通常用いられている化合物半導体の製造方法によりInGaPからなる半導体層(InGaP層)を結晶成長すると、III族原子層において、Ga原子とIn原子とが同一面内で交互に配列した自然超格子が形成される。

#### 【0009】

近年では、例えば、特許文献2に記載されているように、自然超格子構造が破壊されてIII族原子層におけるGa原子とIn原子との配列が無秩序化したInGaP層を形成する方法が知られており、このような自然超格子が破壊されたInGaPを用いることにより、InGaP層と他の半導体層との界面抵抗が低減された電界効果型トランジスタが開発されている。

#### 【0010】

##### 【特許文献1】

特開昭63-228763号公報(第3図)

##### 【特許文献2】

特開平11-243058号公報

#### 【0011】

##### 【発明が解決しようとする課題】

しかしながら、前記従来のMODFETによると、ゲート電極108をInGaPからなる電子供給層105とのショットキー接合により形成しているため、ゲート電極108のドレイン電極110に対する逆方向耐圧が、電子供給層10



5にAlGaAsを用いた場合よりも低下してしまうことが実験的に知られている。

#### 【0012】

このように、前記従来のMODFETは、InGaPを用いて高周波信号印加時の最大電流密度の向上を図ると、InGaPの材料的な制約によりゲート耐圧が低下してしまうため、最大電流密度の向上とゲート耐圧の向上とを両立することが困難であるという問題を有している。

#### 【0013】

本発明は、前記従来の問題を解決し、ゲートに高周波信号が入力される電界効果型トランジスタにおいて、最大電流密度の向上とゲート耐圧の向上とを両立できるようにすることを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

前記の目的を達成するため、本発明は、キャリア供給層の上に自然超格子が破壊されたInGaPからなるショットキー層を設け、該ショットキー層の膜厚を所定の値以下に設定する構成とする。

#### 【0015】

具体的に本発明に係る電界効果型トランジスタは、キャリアが走行する第1の化合物半導体層（チャンネル層）と、第1の化合物半導体層の上に形成され、第1の化合物半導体層にキャリアを供給する第2の化合物半導体層（キャリア供給層）と、第2の化合物半導体層の上に形成され、自然超格子が破壊されたリン化インジウムガリウム（InGaP）からなる第3の化合物半導体層（ショットキー層）と、第3の化合物半導体層の上に形成され、第3の化合物半導体層とショットキー層を接合するゲート電極とを備え、第3の化合物半導体層の膜厚を所定の値以下に設定することにより、第3の化合物半導体層を形成しない場合と比べて、ゲート電極の耐圧が大きくされている。

#### 【0016】

本発明の電界効果型トランジスタによると、第3の化合物半導体層は、自然超格子が破壊されたInGaPからなるため、第3の化合物半導体層における界面

準位密度を低減して最大電流密度を向上することができると共に、第3の化合物半導体層を所定の値以下に設定することによりゲート電極の耐圧を向上することが可能となる。これは、第3の化合物半導体層に自然超格子構造が破壊されたりインジウムガリウムを用いると、第3の化合物半導体層を設けない状態から、第3の化合物半導体層の膜厚を増大させるのに伴って、ゲート電極の耐圧がまず急激に増大しその後徐々に低下する傾向があるという本願発明者の知見に基づく。従って、第3の化合物半導体層を所定の値以下に設定することにより、ゲート電極の耐圧が、第3の化合物半導体層を形成しない場合、即ち、ゲート電極が第2の化合物半導体層の上に直接に形成された場合の耐圧よりも大きくなる。

#### 【0017】

本発明の電界効果型トランジスタにおいて、第3の化合物半導体層の膜厚は8nm以下であることが好ましい。このようにすると、ゲート電極の耐圧は、第3の化合物半導体層を形成しない場合よりも確実に大きくなる。

#### 【0018】

本発明の電界効果型トランジスタにおいて、第2の化合物半導体層はヒ化アルミニウムガリウムからなることが好ましい。

#### 【0019】

本発明の電界効果型トランジスタは、第3の化合物半導体層の上にゲート電極を覆うように形成された低誘電率材料からなる保護膜をさらに備えていることが好ましい。このようにすると、低誘電率の保護膜により第3の化合物半導体層及びゲート電極が覆われるため、ゲート電極の寄生容量を低減することができる。また、第3の化合物半導体層は酸化されにくい材料であるInGaPからなるため、低誘電率材料を用いても信頼性が低下することがない。

#### 【0020】

本発明の電界効果型トランジスタにおいて、低誘電率材料はベンゾシクロブテンであることが好ましい。

#### 【0021】

#### 【発明の実施の形態】

#### (第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

#### 【0022】

図1は本発明の第1の実施形態に係る電界効果型トランジスタの断面構成を示している。図1に示すように、例えば、ヒ化ガリウム (GaAs) からなる化合物半導体基板11の上には、膜厚が約500nmのヒ化アルミニウムガリウム (AlGaAs) からなるバッファ層12、膜厚が約100nmのn型のAlGaAsからなるバリア層13、膜厚が約15nmのアンドープのヒ化インジウムガリウム (InGaAs) からなるチャネル層14、膜厚が約20nmのn型のAlGaAsからなるキャリア供給層15、膜厚が約5nmのアンドープのリン化インジウムガリウム (InGaP) からなり、InGaPにおける自然超格子が破壊されたショットキー層16及び膜厚が約100nmでn型不純物がドーパされたGaAsからなり、ショットキー層16の一部を露出する開口部を有するキャップ層107が順次積層されている。

#### 【0023】

ここで、自然超格子が破壊されたInGaPとは、そのIII族原子層においてGa原子とIn原子とが不規則に配列した結晶構造を持つInGaPのことである。

#### 【0024】

一般に、InGaP層を結晶成長により形成すると、III族原子層においてGa層とIn層とが交互に配列した自然超格子が形成されるが、InGaP層を低温で結晶成長するか、又は成長後に短時間の熱処理を行うことにより、自然超格子が破壊されたInGaP層を形成することができる。なお、以下の説明では、このような自然超格子が破壊されたInGaPを、無秩序配列 (Disordered) のInGaPと呼ぶことにする。

#### 【0025】

キャップ層17の開口部に露出したショットキー層16の上には、チタンとアルミニウムとの積層膜 (Ti/Al) により、ショットキー層16とショットキー接合するゲート電極18が形成されている。また、キャップ層107の上には、オーミック電極として、金ゲルマニウム (AuGe) 系の合金からなるソース

電極 19 及びドレイン電極 20 がそれぞれに形成されている。

#### 【0026】

なお、ゲート電極 18 を構成する材料は  $Ti/Al$  に限られず、ショットキー層 16 とショットキー接合を形成する材料であればよく、例えば、チタン、白金及び金が積層された積層膜 ( $Ti/Pt/Au$ ) 又はタングステンシリサイド ( $WSi$ ) を用いることができる。

#### 【0027】

また、キャップ層 17 を構成する材料は、 $GaAs$  に限られず、例えば  $InGaAs$  を用いてもよい。キャップ層 17 を構成する材料に  $InGaAs$  を用いる場合、ソース電極 19 及びドレイン電極 20 を構成する材料に、 $AuGe$  系の合金に換えて  $Ti/Pt/Au$  を用いることができる。

#### 【0028】

第 1 の実施形態の電界効果型トランジスタにおける各半導体層の具体的な組成として、例えば、チャネル層 14 を構成する  $InGaAs$  に、 $In_{0.2}Ga_{0.8}As$  を用い、キャリア供給層 15 を構成する  $AlGaAs$  に、 $Al_{0.2}Ga_{0.8}As$  を用い、ショットキー層 16 を構成する  $InGaP$  に、 $In_{0.5}Ga_{0.5}P$  を用いる。また、キャリア供給層 15 には、ドーピング濃度が約  $4 \times 10^{12} cm^{-3}$  のシリコン ( $Si$ ) がプレーナドーピングされている。

#### 【0029】

第 1 の実施形態に係る電界効果型トランジスタにおいて、 $AlGaAs$  からなるキャリア供給層 15 の上には  $InGaP$  からなるショットキー層 16 が設けられているため、ショットキー層 16 の界面準位密度が小さくされているので、周波数分散を抑制することができる。その結果、ゲート電極 18 に高周波信号を印加した場合においても高い最大電流密度を実現することができる。

#### 【0030】

さらに、第 1 の実施形態の特徴として、ショットキー層 16 に膜厚が 8 nm 以下の無秩序配列の  $InGaP$  が用いられており、これにより、ゲート電極 18 の逆方向耐圧の向上が達成されている。ここで、ゲート電極 18 の逆方向耐圧とは、ゲート電極とドレイン電極との間の負電圧側の耐圧のことである。

**【0031】**

以下、ショットキー層 16 の膜厚とゲート電極 18 の逆方向耐圧との関係について図面を参照しながら説明する。

**【0032】**

図 2 は、第 1 の実施形態に係る電界効果型トランジスタにおいて、ショットキー層 16 の膜厚を変化させることによるゲート電極 18 の逆方向耐圧の変化を説明するグラフである。図 2 において、横軸はショットキー層 16 の膜厚を表し、縦軸はゲート電極 18 の逆方向耐圧を表している。また、実線はショットキー層 16 に無秩序配列 InGaP を用いた第 1 の実施形態の電界効果型トランジスタを示し、点線は、比較例として、ショットキー層 16 に自然超格子構造の InGaP を用いた場合を示している。

**【0033】**

図 2 に示すように、ショットキー層 16 の膜厚が 0 nm の場合、即ち、InGaP からなるショットキー層 16 を設けずに、ゲート電極 18 を AlGaAs からなるキャリア供給層 15 の上に直接に形成した場合には、逆方向耐圧は約 12 V である。

**【0034】**

図 2 において実線で示すように、無秩序配列の InGaP をショットキー層 16 に用いた第 1 の実施形態では、ショットキー層 16 の膜厚が約 2 nm まで増大すると、逆方向耐圧が急激に増大し、その後、ショットキー層 16 の膜厚が増大するにつれて徐々に逆方向耐圧が低下して、ショットキー層 16 の膜厚が約 8 nm よりも大きくなると逆方向耐圧が約 12 V よりも小さくなる。

**【0035】**

一方、図 2 において点線で示すように、自然超格子の InGaP をショットキー層 16 に用いた場合は、ショットキー層 16 の膜厚が約 2 nm まで増大すると、逆方向耐圧が急激に低下し、その後、ショットキー層 16 の膜厚が増大しても逆方向耐圧はほとんど変化していない。

**【0036】**

図 2 から明らかなように、無秩序配列の InGaP をショットキー層 16 に用

いた第1の実施形態では、ゲート電極18の逆方向耐圧が、ゲート電極18をAlGaAsからなるキャリア供給層15の上に直接に形成した場合よりも、ゲート電極18の逆方向耐圧が上昇するようなショットキー層16の膜厚が存在する。具体的には、ショットキー層16の膜厚が8nm以下であると、逆方向耐圧が、ゲート電極18をAlGaAsからなるキャリア供給層15の上に直接に形成した場合よりも大きくなる。

#### 【0037】

これに対し、自然超格子構造のInGaPをショットキー層16に用いた場合には、逆方向耐圧が、ゲート電極18をAlGaAsからなるキャリア供給層15の上に直接に形成した場合よりも増大することがない。

#### 【0038】

このように、ショットキー層16を、膜厚が8nm以下の無秩序配列のInGaPを用いることにより、逆方向耐圧が、ゲート電極18をAlGaAsからなるキャリア供給層15の上に直接に形成した場合よりも大きくなる。

#### 【0039】

なお、第1の実施形態では、キャリア供給層15を構成するAlGaAsとして、Al<sub>0.2</sub>Ga<sub>0.8</sub>Asを用い、ショットキー層16を構成するInGaPとして、In<sub>0.5</sub>Ga<sub>0.5</sub>Pを用いた場合について説明したが、各半導体層の組成及び不純物濃度を変更した場合においても、ゲート電極18の逆方向耐圧が、ゲート電極18をAlGaAsからなるキャリア供給層15の上に直接に形成した場合よりも大きくなるようにショットキー層16の膜厚を設定することが可能である。

#### 【0040】

即ち、各半導体層の組成及び不純物濃度を変更した場合においても、ショットキー層16の膜厚を増大させるのに伴って、ゲート電極18の逆方向耐圧は、まず急激に増大してその後徐々に低下するという傾向があり、ショットキー層16の膜厚が所定の値よりも大きくなると、逆方向耐圧は、ショットキー層16を形成しない場合の逆方向耐圧よりも小さくなる。従って、ショットキー層16の膜厚を所定の値（即ち、逆方向耐圧が、ショットキー層16を形成しない場合の逆

方向耐圧と同一となる時の膜厚の値) 以下に設定することにより、ゲート電極 18 の逆方向耐圧が、ゲート電極 18 を AlGaAs からなるキャリア供給層 15 の上に直接に形成した場合よりも大きくなる。

#### 【0041】

以上説明したように、ショットキー層 16 を構成する材料に自然超格子が破壊された無秩序配列の InGaP を用い、且つショットキー層 16 の膜厚を所定の値以下に設定することにより、最大電流密度の向上と逆方向耐圧の向上とを両立することが可能である。

#### 【0042】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態について図面を参照しながら説明する。

#### 【0043】

図 3 は、本発明の第 2 の実施形態に係る電界効果型トランジスタの断面構成を示している。図 3 において、図 1 と同一の構成部材については同一の符号を付すことにより説明を省略する。

#### 【0044】

図 3 に示すように、化合物半導体基板 11 の上には、バッファ層 12、バリア層 13、チャネル層 14、キャリア供給層 15、ショットキー層 16、キャップ層 107 が順次積層されている。キャップ層 17 のリセス開口部に露出したショットキー層 16 の上には、ショットキー電極であるゲート電極 18 が形成されており、ゲート電極 18 両側方に挟むキャップ層 17 の上には、オーミック電極として、ソース電極 19 及びドレイン電極 20 がそれぞれに形成されている。

#### 【0045】

キャップ層 17 の上には、ゲート電極 18、ソース電極 19 及びドレイン電極 20 の上を含む全面にわたって、ベンゾシクロブテン (BCB) からなる保護膜 21 が設けられている。

#### 【0046】

なお、保護膜 21 を構成する材料は、BCB に限られず、低誘電率材料 (いわゆる low- $\epsilon$  材料) であればよい。

## 【0047】

一般的には、ショットキー層 16 を被覆する保護膜 21 の材料として、耐湿性に優れた窒化シリコン (SiN) を用いる。これに対し、第 2 の実施形態では、ショットキー層 16 が酸化されにくい材料である InGaP からなるため、耐湿性に優れた材料を用いる必要がない。

## 【0048】

つまり、第 2 の実施形態によると、ショットキー層 16 の上に SiN 膜を形成しなくても電界効果型トランジスタの信頼性が低下しないため、SiN よりも比誘電率が小さい低誘電率材料を用いて保護膜 21 を形成することができるので、電界効果型トランジスタの寄生容量を低減することができる。

## 【0049】

さらに、第 2 の実施形態においても、第 1 の実施形態と同様に、ショットキー層 16 が無秩序配列の InGaP からなり、その膜厚が 8 nm 以下に形成されているため、ショットキー層 16 を用いずに AlGaAs からなるキャリア供給層 15 の上に直接にゲート電極 18 を形成した場合と比べて、ゲート電極 18 の逆方向耐圧が向上した電界効果型トランジスタが実現されている。これにより、InGaP をショットキー層 16 に用いた電界効果型トランジスタにおいて、最大電流密度の向上とゲート耐圧の向上とを両立することが可能となる。

## 【0050】

## 【発明の効果】

本発明に係る電界効果型トランジスタによると、ショットキー層の界面準位密度を低減して高周波信号印加時の最大電流密度を向上すると共に、ショットキー層における膜厚を所定の値以下に設定ことによりショットキー電極の逆方向耐圧が向上する。

## 【図面の簡単な説明】

## 【図 1】

本発明の第 1 の実施形態に係る電界効果型トランジスタを示す構成断面図である。

## 【図 2】



電界効果型トランジスタにおけるショットキー層の膜厚とゲート耐圧との関係を示すグラフである。

【図 3】

本発明の第 2 の実施形態に係る電界効果型トランジスタを示す構成断面図である。

【図 4】

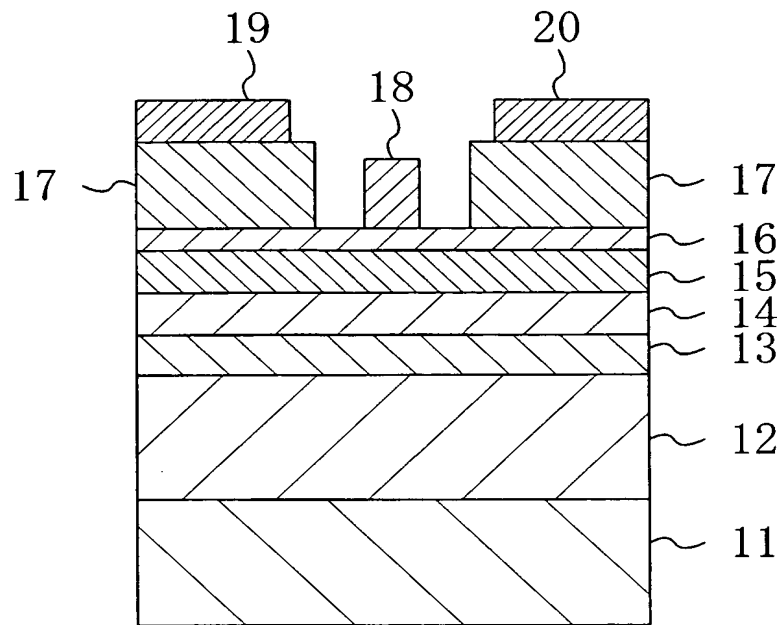
従来の電界効果型トランジスタを示す構成断面図である。

【符号の説明】

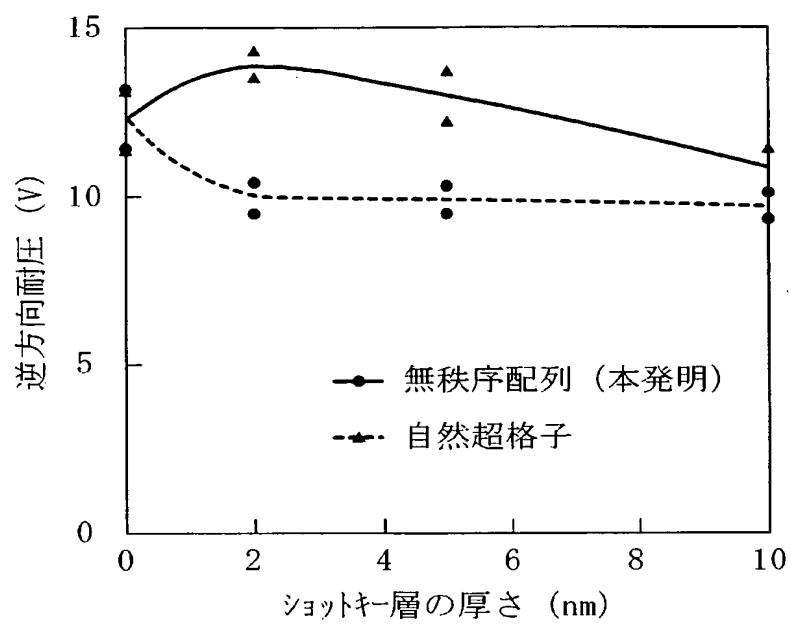
- 1 1 化合物半導体基板
- 1 2 バッファ層
- 1 3 バリア層
- 1 4 チャネル層
- 1 5 キャリア供給層
- 1 6 ショットキー層
- 1 7 キャップ層
- 1 8 ゲート電極
- 1 9 ソース電極
- 2 0 ドレイン電極
- 2 1 保護膜

【書類名】 図面

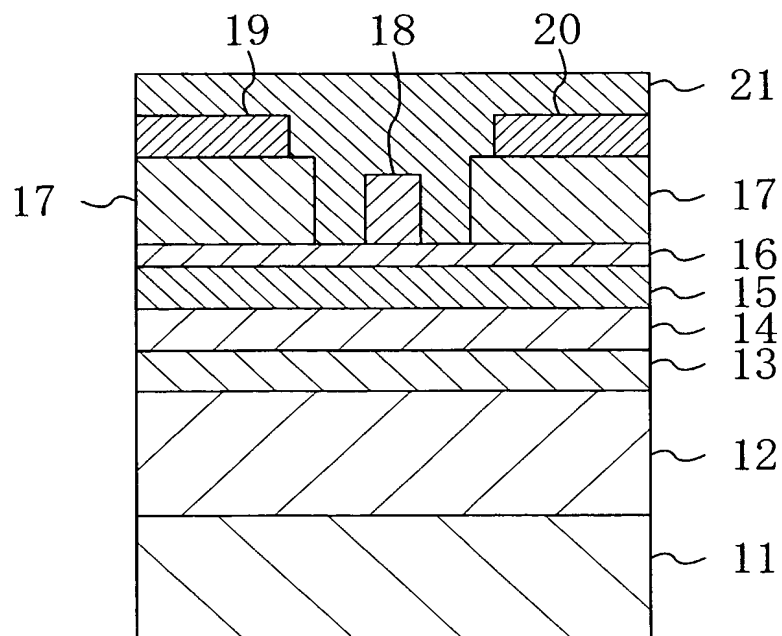
【図 1】



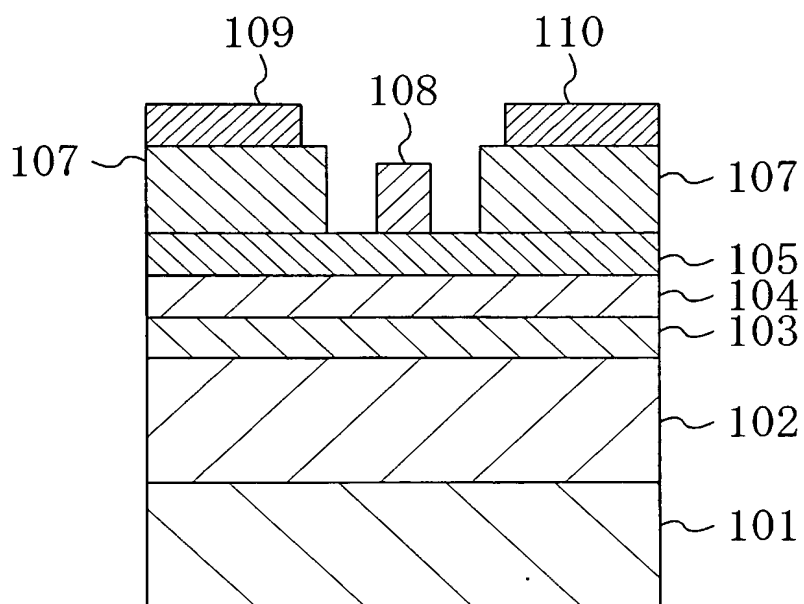
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 ゲートに高周波信号が入力される電界効果型トランジスタにおいて、最大電流密度の向上とゲート耐圧の向上とを両立できるようにする。

【解決手段】 化合物半導体基板 1 1 の上には、アンドープの  $\text{InGaAs}$  からなるチャネル層 1 4、 $n$  型  $\text{AlGaAs}$  からなるキャリア供給層 1 5、自然格子構造を有していない無秩序配列 (Disordered) の  $\text{InGaP}$  からなるショットキー層 1 6 及び  $\text{GaAs}$  からなるキャップ層 1 7 が順次積層されており、キャップ層 1 7 の間に露出したショットキー層 1 6 の上にはゲート電極 1 8 が形成されており、キャップ層 1 7 の上にはソース電極 1 9 及びドレイン電極 2 0 が形成されている。ここで、ゲート電極 1 8 の逆方向耐圧が、キャリア供給層 1 5 の上に直接にゲート電極 1 8 を形成された場合よりも大きくなるように、ショットキー層 1 6 の膜厚が約 8 nm 以下に設定されている。

【選択図】 図 1

特願 2 0 0 3 - 0 3 2 0 3 8

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更新月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社